

用語集

主要なロードマップ技術特性用語（所見と解析）

主要市場の特性

技術サイクルタイム期間：製品のスケールアップを 1 期間で 0.71 倍にするか、2 期間で 0.50 倍にするタイミングを言う。カスタム化されたパターン配置の（即ち千鳥配置のコンタクト/ビアを伴う）配線の最小ハーフピッチが、高密度（単位機能当たりで低コストな）DRAM と MPU/ASIC 集積回路の製造を可能にするプロセス能力を最も良く代表するため、ITRS の技術サイクルの定義に選ばれた。FLASH 製品技術サイクル・タイミングはコンタクトが無い高密度ポリラインのハーフピッチで定義されている。各製品特有の技術サイクル・タイミングには、何の製品であれ、メタルかポリシリコンのハーフピッチの中で、最小の値を採用する。歴史的に、DRAM はメタルピッチでリードしてきたが、将来は他の製品が代わる可能性もある。

IC 技術の特徴付けるために他のスケールアップのパラメータも重要である。DRAM 技術では、最小の経済的なチップ寸法に要求される一層目の千鳥コンタクト有り高密度配線のハーフピッチが代表である。しかし、マイクロプロセッサ（MPU）などのロジックについては、物理ゲート最下部の孤立長さが最高性能に必要な最先端技術レベルの最も代表的なものであり、リソで描画後更にエッチングして最も小さいパターン目標を達成している。MPU や ASIC ロジックの配線ハーフピッチプロセス要求は、通常千鳥コンタクトがあるメタル層（M1）を指しており、DRAM の千鳥コンタクト有り M1 ハーフピッチより僅かに遅れている。最小ハーフピッチは通常チップのメモリ・セルの領域に見出される。各技術サイクル時間（1 つのサイクル期間で 0.71 倍、2 つのサイクル期間で 0.50 倍の縮小）ステップは重要な技術の、装置や材料の進歩の創造を、千鳥コンタクトありメタルハーフピッチ（DRAM, MPU/ASIC）あるいは、コンタクト無のポリシリコン（FLASH 製品）であらわしている。

例として、180nm、130nm、90nm、65nm、45nm、32nm、22nm の DRAM ハーフピッチがある。

ムーアの法則：「チップ（ビット、トランジスタ）あたりの機能に対する市場の要求（そして半導体産業の対応）は 1.5～2 年ごとに倍増する」という、インテル社の役員である Gordon Moore 氏が歴史的所見として唱えた法則。また、MPU 性能 [クロック周波数 (MHz) × クロックあたりの命令数 = 百万命令/秒 MIPS (millions of instructions per second)] も 1.5～2 年ごとに倍増すると Moore 氏は述べた。「自己完結型」の予言と見なす人もいたが、過去 30 年間にわたって「ムーアの法則」は最先端の半導体製品と企業にとって、一貫した大勢の傾向であり、重要な指針となっている。

機能あたりコスト製造生産性改善の原動力：ムーアの法則に加えて、この「法則」の歴史に基づいた「当然の結果」が存在する。それは、競争力のある製造生産性の改善は、機能あたりコスト（ビットまたはトランジスタあたりマイクロセント (microcent)）の年間 29% 削減を可能にすることである。歴史的に言えば、機能が 1.5 年ごとに倍増すると、チップ（実装済みユニット）あたりのコストは 6 年で倍増するが、それでも機能あたりコスト削減要求を満たしている。2005 年版 ITRS で意見の一致をみた DRAM モデルと MPU モデルが指摘するとおり、機能が 3 年ごとに倍増する場合はチップ（実装済みユニット）あたりの製造コストを一定にしなければならない。

手ごろな値段の実装されたユニットのコスト/機能：テストされパッケージに組み込まれたチップのコストを、チップ当りの機能で割り算し、マイクロセントで表した最終コスト。手ごろなコストは、手ごろな販売価格 [特定の製品世代の年間総収入を年間ユニット出荷高で割る] から荒利マージン（DRAM には約 35%、MPU には約 60%）を引き算するという歴史的な傾向により計算される。機能あたりの手ごろな値段は、将来市場の「トップダウン」型ニーズのガイドラインであり、このように、チップ寸法および機能密度とは独立に作成される。値段が手ごろであることの要件は、1) 技術改善と設計改善による密度の増加とチップ寸法の小型化、2) ウェーハ直径の拡大、3) 設備所有コストの削減、4) 設備全体における設備有効性の向上、5) パッケージ・コストおよびテスト・コ

ストの削減、6)設計ツール生産性の向上、7)製品アーキテクチャおよびインテグレーションの改善、を組み合わせ、達成されることが期待される。

DRAM と FLASH 世代(製品世代ライフサイクルの中で)： ある年、ある製造技術能力、あるライフサイクル成熟度(学会レベル、試作レベル、量産レベル、量産増大レベル、量産ピーク)で導入された DRAM と FLASH 製品世代の予想チップ当たりビット数。

Flash Single-Level Cell (SLC)： フラッシュ不揮発性メモリでセル領域に 1 物理ビットの記憶だけを行うもの。

Flash Multi-Level Cell (MLC)： 同じ物理的領域に 2 ビットのデータを電氣的に蓄え、読み出すことが出来る。

MPU 世代(製品世代ライフサイクルの中で)： ある年、ある製造技術能力、あるライフサイクル成熟度(学会レベル、導入レベル、量産レベル、量産増大レベル、量産ピーク)で導入されたマイクロプロセッサの製品世代機能(ロジックと SRAM を含む)に関する汎用プロセッサ世代の区分。

コスト重視 MPU： チップ上の SRAM レベル 2(L2) キャッシュ(例：1M バイト/2001)の量を制限して最高性能と最低コストへの最適化を図った MPU 製品。ロジック機能および L2 キャッシュは一般的に 2 年から 3 年技術サイクル(サイクル期間毎 0.71 倍)世代ごとに倍増する。

高性能 MPU： 単一または複数 CPU コア(例、2002 年に 25M トランジスタコアを 2 つ)と大型(例、4M バイト/2002 年)レベル 2(L2)SRAM の組合せで、最高システム性能への最適化を図った MPU 製品。チップ上の CPU コアと付属メモリの倍増により、ロジック機能および L2 キャッシュが一般的に 2 から 3 年技術サイクル(サイクル期間で 0.71 倍)世代ごとに倍増する。

世代間製品： 手ごろなチップ寸法でチップ上の機能を定期的に倍増させようとする世代間製品目標。ムーアの法則($2\times/2$ 年)を維持しつつ経済性成熟度(定チップ寸法およびユニットあたり製造コスト一定)を確保するように、目標を設定する。この 2 年ごとの定コストでの倍増は、機能あたりのコスト削減レート(逆生産性改善)が年間 29%(歴史的な目標削減割合)となることを保証する。2 年ごとにチップ上の機能を倍増するため、技術・サイクルのスケール(0.71倍長さ、0.5倍面積)が 3 年ごとの場合は、チップ寸法は増加せざるを得ない。

現在の 2005 年版 ITRS コンセンサス目標は、DRAM の増加レートについて 2 年ごとに $2\times$ /チップから平均で 3 年ごとに $2\times$ /チップになった。歴史的に DRAM セルの設計者は要求されたセル・エリヤ・ファクタ改善を果たして来たが、このゆっくりしたビット/チップの成長は 2005 年版 ITRS の新しく合意したセル・エリヤ・ファクタ改善予測が、2008 年まで 6 年で以降改善されないためである。現在では、MPU トランジスタのエリヤはリソグラフィによる削減率でしか縮小していない(事実上、設計関連改善ゼロ)。従って、ロードマップ期間を通して、最大の面積の導入チップ、値段が手ごろな量産チップで一定チップ寸法を維持するために、2005 年版 ITRS MPU 世代間機能モデルの目標は技術サイクル時間ごとに $2\times$ トランジスタ/チップである。

世代内製品： ある一定の機能/チップ製品世代内のチップ寸法シュリンク傾向。2003 年版 ITRS コンセンサス・ベース・モデルの目標は、ロードマップ期間の全時点で利用可能な最新の製造/設計技術を使用して、チップ寸法を縮小する(シュリンクと「カットダウン」により)ことである。世代内の DRAM および MPU チップ寸法縮小の ITRS 目標は 0.71 倍の技術サイクル・タイミングで 1 世代当たり 50% である。

デモンストレーションの年： 設計そして/または技術・ノードの処理実行可能性ならびに巧みさを明らかにするため、先行チップ・メーカが製品の動作サンプルを供給する年。代表的なデモンストレーション会場は米国電気電子学会(IEEE、Institute of Electrical and Electronics Engineers)主催の国際固体回路会議(ISSCC、International Solid State Circuits Conference)などの主要な半導体産業の学会である。一般的に、デモンストレーション・サンプルは、開発初期レベルまたはデモンストレーション・レベルの製造ツールおよびプロセスで製造される。今まで、DRAM 製品は、実際の市場導入より一般的に 2~3 年先立って、先端プロセス・技術・ノードで 3 年から 4 年ごとに $4\times$ ビット/チップの割合で示される。DRAM デモンストレーション・チップ寸法は 6 年から 8 年ごとに倍増しており、市場への導入が経済的に実行可能になる前に多数の縮小と遅延が必要となる。チッ

ブ寸法がリソグラフィ設備使用可能な露光領域よりも大きくなることが頻繁に起こり、極少量の研究サンプルでしか実行出来ない複数回露光手法により、「繋ぎ合わせ」なければならない。

例：1997 年/ISSCC/1Gb DRAM、対 ITRS 1Gb 1999 年導入レベル、2003 年生産レベル目標

導入の年： 先行チップ・メーカーが少量(<1K)のエンジニアリング・サンプルを供給する年。サンプルは認定された生産設備とプロセスで生産され、早期評価のために主な顧客に提供される。製品を追加の設計ファクタの改善でチップの縮小や機能の追加が可能となるが、この改善が無い限り、タイムリーな市場への参入と経済的な生産をバランスさせるために、技術サイクル毎(サイクル期間で 0.71 倍)に 2×機能/チップの割合で導入していく。更に、チップ寸法のシュリンクまたは「カットダウン」のレベルが達成されるまで、メーカーは生産を遅らせる。これが世代間チップ寸法の成長を一定にしている。

生産の年： 先導チップ・メーカーが顧客の製品で認定された*生産設備とプロセスで生産した製品の大量出荷を開始し、第 2 のメーカーが 3 ヶ月以内に追従した年。(*注：実際の量産立ち上げは 1 ヶ月から 12 ヶ月の間で顧客製品認定の期間によって変わる。)先端的な性能を備え縮小(シュリンク)した新製品への需要が増すにつれ、生産装置技術とプロセス技術は製造能力の急速な拡充のために複数の装置モジュールへ「コピー」されている。

高需要製品については、一般的に量産立ち上げから工場計画能力まで持つて行くのに 12 ヶ月以内で可能となる。一般的に量産立ち上げより 24-36 ヶ月先立って、アルファ・レベル製造設備および技術に関する研究論文が提供される。ベータ・レベル設備は、一般的に立ち上げより 12-24 ヶ月先立って、半導体業界会議への提出論文とともに提供される。ベータ・レベル設備はパイロット・ライン工場で生産レベルにされるが、完全な顧客製品認定を可能とするために量産立ち上げ「タイム・ゼロ」(エグゼクティブ・サマリーの Figure3 参照)の 12-24 ヶ月前には完了しなければならない。パイロット・ライン工場は、大量生産立ち上げ前の顧客によるサンプルと早期認定用にしばしば使用される製品を少量生産することも可能である。中規模生産レベルの DRAM が、小規模生産レベルの DRAM と同時に生産段階に入り、そして、縮小された前世代の DRAM も同時に大量生産されている(例：2003 年：1Gb/生産、4G/導入、加えるに 512Mb/256Mb/128Mb/64Mb 大量生産)。同様に、大量生産のコスト重視型 MPU が少量生産の大チップ高性能 MPU と同時に生産段階に入り、そして、縮小(シュリンク)された前世代 MPU も同時に大量生産されている。

機能/チップ： 利用可能な技術レベルで、単一モノリシック・チップ(single monolithic chip)上に低コストで製造できるビットの数(DRAM)またはロジック・トランジスタの数(MPU/ASIC)。ロジック機能(チップあたりのトランジスタ数)は SRAM およびゲート機能ロジック・トランジスタ数の双方を含む。DRAM 機能(チップあたりのビット数)は単一モノリシック・チップ上のビット数(冗長後)だけに基づく。

チップ寸法(mm²): 利用可能な最良な先端の設計および製造プロセスに基づき、ある年に経済的に見合ったやり方で製造できるモノリシック・メモリおよびロジック・チップの代表的な面積。(データの歴史的な傾向とITRS のコンセンサスに基づいて、推定値を予測)

機能/cm²: 所与の面積(square centimeter)での機能密度 = チップ寸法で割った単一モノリシック・チップ上の機能。パッド・エリヤおよびウェーハ・スクライブ・エリヤを含む、チップ上の全機能に関する密度の平均値である。DRAM の場合、高密度セル・アレイおよび低密度周辺ドライブ回路の平均値を含む。MPU 製品の場合、高密度 SRAM および低密度ランダム・ロジックの平均値を含む。ASIC の場合、高密度内蔵メモリ・アレイを含み、低密度アレイ・ロジック・ゲートおよび機能コア高密度内蔵メモリ・アレイで平均する。2003 年版 ITRS では、一般的な高性能 ASIC 設計の平均密度は、殆ど SRAM トランジスタである高性能 MPU と同じであると予想されている。

DRAM セル・アレイ・エリヤ(面積)・パーセンテージ： 世代ライフサイクルの様々な段階でセル・アレイが占有できるトータル DRAM チップ・エリヤ(面積)の実用的な最大パーセンテージ。周辺回路、パッド、ウェーハ・スクライブ・エリヤ用スペース確保のため、導入チップ寸法目標では、このパーセンテージが一般的に 70%未満である。パッドおよびスクライブ・エリヤは、リソグラフィでスケールしないので、他の世代内シュリンク・レベ

ルでは最大アレイ・エリヤ・パーセンテージが減少する(一般的に、量産レベルでは 63%未満、前世代の小さいシュリンクしたダイの大量生産立上げレベルでは 50-55%未満)。

DRAMセル・エリヤ(μm^2): 指定ITRSコンセンサスのセル・エリヤ・ファクタ(A)×最小ハーフピッチ(f)像寸法の二乗で表した、DRAMメモリ・ビット・セル占有エリヤ(面積)(C)。即ち、 $C = Af^2$ 。チップ寸法を計算するには、セル・エリヤをアレイ効率で割り算しなければならない。アレイ効率-係数(E)は過去のDRAMチップ解析データから統計的に求める。このように、平均セル・エリヤ(C_{AVE})は計算可能であり、これにはドライバ、I/O、バス・ライン、パッド・エリヤなどのオーバーヘッドが含まれている。計算式は $C_{\text{AVE}} = C/E$ となる。

それから、(ビット/チップの全数× C_{AVE})でトータルのチップ・エリヤが計算できる。

例: 1999: $A=8$; ハーフピッチの二乗、 $f^2 = (180\text{ nm})^2 = .032\text{ }\mu\text{m}^2$; セル・エリヤ、 $C = Af^2 = 0.26\text{ }\mu\text{m}^2$; 1Gb 導入レベルDRAMについてセル効率がトータル・チップ・エリヤの 70% ($E=70\%$)、 $C_{\text{AVE}} = C/E = 0.37\text{ }\mu\text{m}^2$; 従って、1Gbチップ寸法エリヤ= 2^{30} ビット× $0.37\text{e-}6\text{ mm}^2/\text{ビット} = 397\text{ mm}^2$

DRAM セル・エリヤ・ファクタ: 数値(A)、これをハーフピッチ(f)の二乗に掛けることでDRAMセル・エリヤ(面積)(C)を表す。一般的に、セル・ファクタはセルが占めるハーフピッチ単位の縦・横単位数の掛け算で表される。(2×4=8、2×3=6、2×2=4、など)

FLASH セル・エリヤ・ファクタ: DRAMと同じsingle-level cell(SLC)のエリヤ・ファクタ。しかし、Flash技術は同じセル領域に2ビットを蓄え電氣的に読み出すことが出来き、multi-level-cell(MLC)「仮想」ビット寸法、これはSLCの製品セル寸法の半分でSLC Flash 製品の半分の仮想エリヤ・ファクタも持つことになる。

SRAM セル・エリヤ・ファクタ: DRAMセル・エリヤ・ファクタと同じだが、6トランジスタ(6t)ロジック技術・ラッチ型メモリ・セルだけに適用する。数値は、技術・ノード・ハーフピッチ(f)の二乗に掛け合わすことでSRAM6トランジスタ・セル・エリヤ(面積)を表す。一般的に、SRAM 6tセルのセル・ファクタはDRAMメモリ・セル・エリヤ・ファクタより16~25倍大きい。

ロジック・ゲート・セル・エリヤ・ファクタ: DRAMおよびSRAMセル・エリヤ・ファクタと同じだが、一般的な4トランジスタ(4t)ロジック・ゲートだけに適用する。数値は、技術・ノード・ハーフピッチ(f)の二乗に掛け合わすことでロジック4tゲート・エリヤ(面積)を表す。一般的に、ロジック4tゲートのセル・ファクタはSRAM6tセルエリヤ・ファクタより2.5~3倍大きく、DRAMメモリ・セル・エリヤ・ファクタより40~80倍大きい。

使用可能なトランジスタ数/ cm^2 (高性能ASIC,自動レイアウト): 少量生産される高差別化アプリケーション向けの、自動レイアウトで設計したトランジスタ数/ cm^2 の数値。高性能、リーディングエッジ、アレイ内臓(エンベ)ASICはオンチップ・アレイ・ロジック・セルならびに高密度機能セル(MPU、I/O、SRAMなど)を含む。密度計算は、高密度機能セルの全トランジスタに加えて、アレイ・ロジック・セルにおける接続した(使用可能な)トランジスタも含む。最大高性能ASICの設計は利用可能な生産リソグラフィ露光領域全てを占める。

チップおよびパッケージ - 物理属性と電氣的な属性

チップ I/O の数 - トータル(アレイ)パッド: 「チップ信号 I/O パッド」 + 「機能またはテスト用としてパッケージ・プレーンに常時接続した、または(信号条件を整えるものを含む)電源/接地コンタクトを提供する、電源パッドおよび接地パッド」の最大数。これには、全ての直接チップ・ツウ・チップ配線またはボードへの直接チップ取付接続を含む(全ての配線プレーン、リードフレーム、またはパッケージ内の他の配線技術、即ち、チップ上またはボード上に存在しない全ての配線として、パッケージ・プレーンを定義する)。信号 I/O パッド対接地パッドは、MPUが一般的に1:2の比率であるが、高性能ASICでは一般的に1:1の比率である。

チップ I/O の数 - トータル(周辺)パッド: 「チップ信号 I/O パッド」 + 「チップのエッジ周りだけコンタクトによる製品向けの電源パッドおよび接地パッド」の最大数。

パッド・ピッチチップ： 周辺エッジまたはチップを横切るパッド・アレイにて、パッド間の中心から中心までの距離。

パッケージのピン/ボールの数： パッケージにある、ボード接続用のピン、または、はんだボールの数(この数は、パッケージ・プレーン上の内部電源/接地プレーンまたはパッケージあたりの複数チップにより、チップ・ツウ・パッケージ・パッドの数よりも少ないことがある)。

パッケージ・コスト(コスト重視)： セント/ピンで表した、パッケージ包装および外部 I/O 接続(ピン・ボール)のコスト

チップ周波数 (MHz)

オンチップ、ローカル・クロック、高性能： チップのローカル化した部分における、高性能少量生産型マイクロプロセッサのオンチップ周波数。

チップ・ツウ・ボード(オフチップ)速度(高性能、周辺バス)： 大量および少量生産型ロジック・デバイスのボード周辺バスへの、最高信号 I/O 周波数。

他の属性

リソグラフィ・フィールド寸法(mm²)： ある技術ノードでのリソグラフィ装置のシングルステップ露光領域またはステップ走査露光領域。仕様は、ある技術ノードについて半導体メーカーが指定する可能性がある最低仕様値を表す。最大フィールド寸法はORTC目標値よりも大きな値で指定されることがあり、最終露光領域は露光幅と走査長の様々な組合せで達成できる。

配線層数の最大数： ローカル配線、ローカルおよびグローバルなルーチング、電源および接地接続、クロック分布などを含む、チップ上の配線層数。

製作の属性と方式

電氣的なD₀欠陥密度(dm⁻²)： 与えられた技術ノード、製品ライフサイクル年、目標プローブ歩留における、平方メートルあたりの電氣的に意味のある欠陥の数。

最小マスク・カウント： 最大配線層数にて成熟生産しているプロセス・フローにおける、マスク層の数(ロジック)。

最大基板直径(MM)

バルクまたはエピタキシャルまたは SOI ウェーハ： 主流 IC サプライヤが大量に使用するシリコン・ウェーハの直径。ファクトリ・インテグレーション ITWG 提供の ITRS タイミング目標は、最初の月間 20K ウェーハ・スタート製造設備に基づいている。

電氣的な設計とテストの数値

電源電圧(V)

最低ロジックV_{dd}： 設計要求条件での動作に関する、電源からのチップ公称使用電圧。

ヒートシンクを備えた高性能の最大電力(W)： 外部ヒートシンクを備えた高性能チップで放散される最大トータル電力。

電池寿命(W): 電池作動型チップで放散される最大トータル電力/チップ。

設計およびテスト

量産用テストのコスト/ピン(\$K/ピン): 量産適用において、機能(チップ分類など)テスト・コストをパッケージ・ピン数で割った値。